

Multiprocessor System on a Chip

Sergio Johann Filho
sergiojf@inf.pucrs.br

Julian Pontes
jpontes@inf.pucrs.br

Valderi Leithardt
valderi@inf.pucrs.br

Pontifícia Universidade Católica do Rio Grande do Sul (FACIN-PUCRS)

1. RESUMO

Este trabalho descreve características de uma solução potencial para a dificuldade encontrada por desenvolvedores de SOCs em acompanhar o desenvolvimento da tecnologia VLSI. A solução aqui apresentada consiste no uso de múltiplos processadores embarcados em um único circuito integrado. O uso desta metodologia remete a um nível de abstração de desenvolvimento mais alto que o nível encontrado em projetos de SOCs tradicionais.

2. INTRODUÇÃO

Sistemas embarcados estão presentes no cotidiano de um número muito grande de pessoas, embora a maioria não conheça o que são tais sistemas. Sistemas embarcados são sistemas que possuem uma unidade de processamento dedicada a uma tarefa específica, a qual não altera durante a vida do produto. Os processadores utilizados em sistemas embarcados representam a grande maioria do número de processadores vendidos no mundo, que chega a 250 milhões por mês. Entretanto a característica dos sistemas embarcados de atender a uma única aplicação começa a se modificar. Sistemas embarcados se tornam cada vez mais complexos e agregam cada vez mais funcionalidades. Esta transformação começa a afetar a metodologia de desenvolvimento desses sistemas.

Projetistas de sistemas embarcados estão testemunhando uma revisão nas técnicas de desenvolvimento de tais sistemas. Esta revisão deve ocorrer, segundo o ITRS [4], nos níveis de sistema e arquitetura.

No nível de arquitetura, o desenvolvimento da tecnologia de fabricação de circuitos integrados continua obedecendo a lei de Moore, a qual enuncia que a cada dezoito meses a capacidade de integração de transistores em um circuito integrado dobra. Infelizmente os projetos de sistemas embarcados em um único circuito integrado, do inglês *system-on-chip* ou SOC, não conseguem acompanhar esta evolução. Este descompasso pode ser verificado na Figura 1.

Os projetos de SOCs estão se tornando cada vez mais complexos, e a necessidade de integração e comunicação entre diversos sistemas embarcados esta se tornando característica chave dos sistemas modernos. Para conseguir atender as exigências do mercado obedecendo as restrições temporais de colocação do produto no mercado, *time-to-market*, os projetistas de SOCs devem buscar por novos métodos de projeto no nível de sistema. Estes métodos deverão possibilitar o desenvolvimento concorrente de hardware e software, (*hw/sw codesign*) de forma eficaz e o reuso extensivo de núcleos de propriedade intelectual (IP Cores).

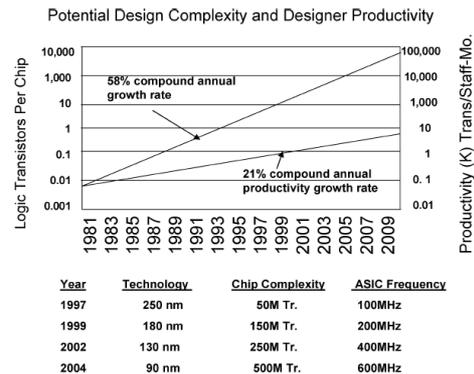


Figura 1 – Descompasso entre tecnologia VLSI e a complexidade dos SOCs.

Uma tecnologia emergente em SOCs consiste no uso de múltiplos processadores, do inglês Multiprocessor System on Chip (MPSOCs), especializados à aplicação. A tecnologia de MPSOCs não consiste apenas em inserir diversos processadores em um único chip. O conceito de MPSOC define que os processadores devem ser otimizados para a aplicação alvo, e blocos computacionais desnecessários à aplicação são removidos para economizar energia e área do circuito integrado [5].

A adoção de MPSOCs e reuso de IP Cores remetem a projetos modulares, acelerando o desenvolvimento, porém, produz sistemas heterogêneos, uma vez que cada núcleo possui suas próprias restrições – frequência de relógio, consumo de potência, vazão.

A divisão de um projeto complexo em diversos módulos transfere os problemas de sincronização, complexidade de projeto e verificação para a comunicação entre os blocos. Segundo Kumar [3], a chave para o reuso e a integração de núcleos heterogêneos é a comunicação desde o nível físico até o nível de sistema e conceitual. Conseqüentemente, arquiteturas, plataformas e metodologias centradas na comunicação têm sido amplamente investigadas em pesquisas atuais.

A forma mais difundida de comunicação em SOCs é através de barramentos. Porém, este meio de comunicação apresenta escalabilidade limitada, e o seu uso pode comprometer o desempenho de SOCs compostos por quantidades significativas de módulos com fluxo de dados intensivo. Em tais sistemas, o uso de redes intra chip, (do inglês *Network on Chip* ou NOC) pode ser mais adequado. [1]

Redes intra chip são estruturas de comunicação potencialmente capazes de atender melhor às necessidades de modularidade, escalabilidade, reuso e paralelismo na comunicação. Uma rede

intra chip é composta por elementos de chaveamento que realizam a transferência de mensagens entre módulos de processamento externos à rede por interconexões entre estes elementos de chaveamento. A Figura 2 mostra as duas topologias regulares mais comuns de NOCs, e a Figura 3 mostra a estrutura de um roteador.

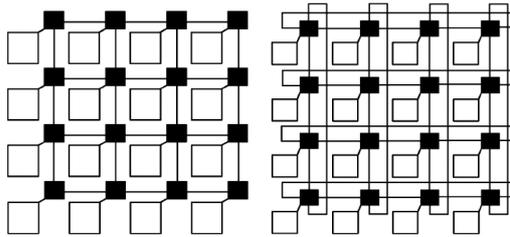


Figura 2 – Topologia de NOCs – malha e toro.

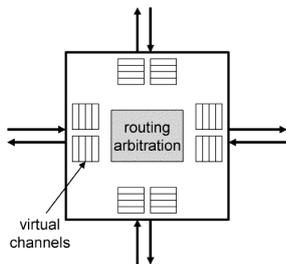


Figura 3 – Roteador.

Observando as tendências expostas anteriormente constata-se que características de sistemas distribuídos e de computação paralela começam a fazer parte da estrutura dos novos SOCs. No contexto de metodologias de desenvolvimento observa-se a necessidade da adoção de técnicas com nível de abstração mais elevado que as técnicas tradicionais de desenvolvimento de SOCs. Para atender estas necessidades duas estratégias de desenvolvimento começam a se destacar - projeto baseado em plataformas e sistemas multiprocessados em um único chip - e tendem a se fundir para dar suporte a nova geração de SOCs.

3. PROJETO BASEADO EM PLATAFORMA

O reuso de IPCore pode muitas vezes não apresentar ganhos significativos de tempo de projeto, isto acontece devido ao fato que na maioria das vezes IPCores são obtidos e utilizados como caixas pretas, e não possibilitam a configuração. Assim muitas vezes os projetos precisam ser adaptados para acomodar esses núcleos consumindo grande parte do tempo de projeto [7].

O projeto baseado em plataformas consegue elevar o nível de abstração e diminuir consideravelmente o tempo de projeto. Este estilo se baseia no fato de que uma única arquitetura pode satisfazer diversos projetos de SOCs. Desenvolvendo uma arquitetura genérica o suficiente para suportar diversos projetos e adicionando a possibilidade de configuração da plataforma pode diminuir não apenas o tempo de projeto, mas também o custo, uma vez que tal plataforma é produzida em escala muito alta e pode ser utilizada por SOCs que possuem mercado particular e pequeno. O ganho de tempo no desenvolvimento se dá devido ao

fato que diversas decisões de baixo e alto nível, como meio de comunicação e processador utilizado, já foram tomadas e toda a plataforma já foi testada e validada. A Figura 4 mostra o exemplo de uma plataforma.

Uma plataforma consiste de núcleos IP de hardware, núcleos IP de software, uma estrutura de comunicação padronizada, e de ferramentas para dar suporte ao desenvolvimento, teste e verificação.

A configuração da plataforma pode ser realizada de duas maneiras. A primeira através de processadores que já possuem a característica de configuração, como é o caso do processador ARM. A segunda é através da inserção de blocos reconfiguráveis do tipo FPGA para implementar funções que possuam restrições de desempenho.

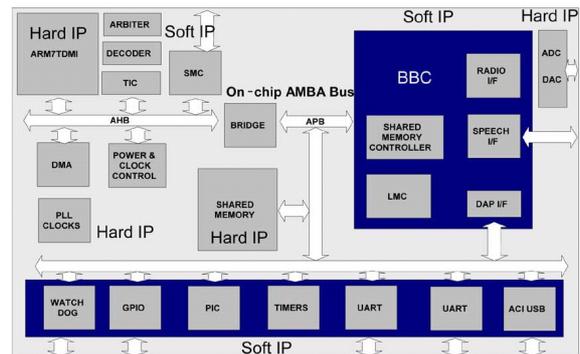


Fig. 8. Bluetooth baseband platform.

Figura 4 – Exemplo de uma plataforma.

4. MPSOC

Muitas vezes a única forma de conseguir desenvolver sistemas complexos em quantidades de tempo tolerável é utilizando componentes programáveis. Desta forma sistemas multiprocessados aparecem como tendência no projeto de SOCs para conseguir atender o nível de complexidade exigida obedecendo as restrições de tempo impostas.

O uso de MPSoCs entretanto não consiste somente em agrupar diversos processadores em um único chip. Os processadores utilizados em MPSOCs possuem a característica de serem extensíveis. Processadores extensíveis são processadores que se adaptam a aplicação que irão executar.

Um processador configurável é desenvolvido para ser extensível de diversas maneiras: conjunto de instruções, tamanho da palavra, tamanho da memória cache, etc.

- Extensão das instruções: O usuário pode definir instruções customizadas especificando o seu comportamento. O processador extensível irá gerar a instrução adicionada que tornará parte do conjunto de instruções do processador.
- Inclusão/Exclusão de blocos predefinidos: O desenvolvedor pode incluir ou excluir blocos predefinidos como parte do processador. Exemplos de blocos incluem registradores de propósito específico, blocos BIST (build-in self-test), blocos multiplica e acumula, e memórias cachê.

- Parametrização: O desenvolvedor pode definir alguns parâmetros como tamanho da palavra, tamanho da memória cachê, e número de registradores.

A Figura 5 mostra um fluxo de desenvolvimento genérico de uma plataforma que utiliza processadores extensíveis. O usuário inicia através de uma avaliação utilizando uma ferramenta de *profiling* que simula o conjunto de instruções do processador alvo. Esta avaliação revela gargalos no sistema que podem ser tratadas através da adição de instruções customizadas.

Após definir e configurar o processador, são geradas ferramentas de compilação, depuração e simulação automaticamente para a nova arquitetura.

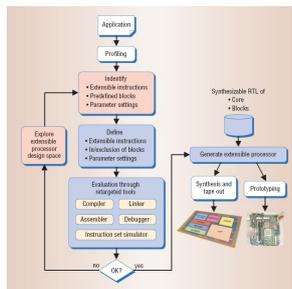


Figura 5 – Fluxo de projeto MPSoC.

Plataformas comerciais para processadores extensíveis atingiram um alto nível de maturidade e já são utilizadas em diversos projetos de SoCs. As principais empresas que comercializam plataformas extensíveis incluem Tensilica, Improv System, ARC, Coware e Target Compiler Technologies.

5. ESTUDO DE CASO

The HiBRID-SoC multi-core system-on-chip [6] foi desenvolvido pela Universidade de Hanover e combina alto poder de processamento para multimedia com a flexibilidade devido a capacidade de configuração. A sua arquitetura é constituída de três núcleos em um único chip, vários módulos de memória on-chip, e um barramento AMBA de 64 bits. A arquitetura do HiBRID foi desenvolvida para atender aplicações de processamento de sinais multimídia. A Figura 6 mostra a arquitetura do Soc HiBRID.

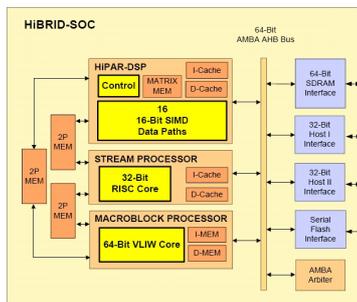


Figura 6 – HiBrid-Soc.

6. CONCLUSÕES

Este trabalho apresentou técnicas e conceitos relacionados aos desafios encontrados atualmente no desenvolvimento de SoCs. Entre as metodologias e arquiteturas propostas atualmente, se destaca a utilização de MPSOCs devido ao fato desta proporcionar condições de desenvolvimento de sistemas em um nível de abstração alto, resultando na redução do tempo de desenvolvimento. Como estudo de caso desta técnica foi apresentada a arquitetura HiBRID a qual une características de MPSoC e de projetos baseados em plataforma.

7. REFERÊNCIAS BIBLIOGRÁFICAS

- [1] Zeferino, C.A.; Kreutz, M.E.; Carro, L.; Susin, A.A., "A study on communication issues for systems-on-chip," *Integrated Circuits and Systems Design, 2002. Proceedings. 15th Symposium on*, vol., no.pp. 121- 126, 2002.
- [2] Hans-Joachim Sttolberg, Mladen Berekovic, Lars Friebe, Soren Moch, Sebastian Flugel, Xun Mao, Mark B. Kulaczewski. *HiBRID-SoC: A Multi-Core System-on-Chip Architecture for Multimedia Signal Processing Applications*. Proceedings Design, Automation and Test in Europe (DATE2003)
- [3] Kumar, S.; Jantsch, A.; Soinin, J.-P.; Forsell, M.; Millberg, M.; Oberg, J.; Tiensyrja, K.; Hemani, A., "A network on chip architecture and design methodology," *VLSI, 2002. Proceedings. IEEE Computer Society Annual Symposium on*, vol., no.pp.105-112, 2002.
- [4] International Technology Roadmap for Semiconductors: Semiconductor Industry Association, 2005.
- [5] Henkel, J., "Closing the SoC design gap," *Computer*, vol.36, no.9pp. 119- 121, Sept. 2003
- [6] Stolberg, H.-J.; Berekovic, M.; Friebe, L.; Moch, S.; Flugel, S.; Xun Mao; Kulaczewski, M.B.; Klussmann, H.; Pirsch, P., "HiBRID-SoC: a multi-core system-on-chip architecture for multimedia signal processing applications," *Design, Automation and Test in Europe Conference and Exhibition, 2003*, vol., no.pp. 8- 13 suppl., 2003
- [7] Saleh Resve; Wilton Steve et al; *System-on-Chip: Reuse and Integration* Proceedings of the IEEE, 2006